

A-SSCC 2023 Review

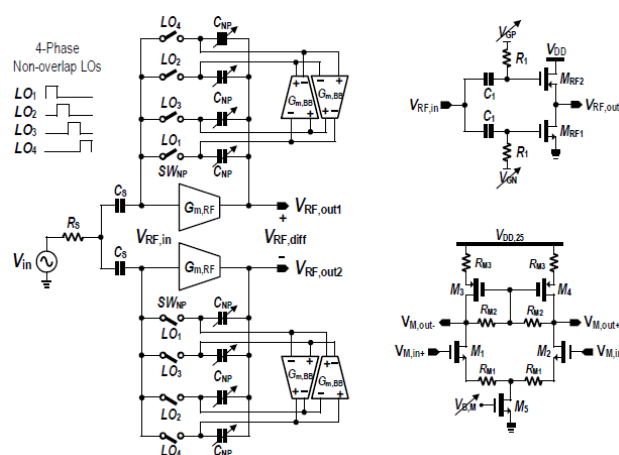
경북대학교 전자전기공학부 석사과정 여성일

Session 2. Analog Techniques

이번 A-SSCC 2023 의 Session 2 는 Analog Techniques 라는 주제로 총 4 편의 논문이 발표되었다. Gain-Boosted N-path Filter 와 Voltage 및 Current Reference 회로, Analog Front-End (AFE) Circuit 에 대한 연구가 소개되었다.

2-1.

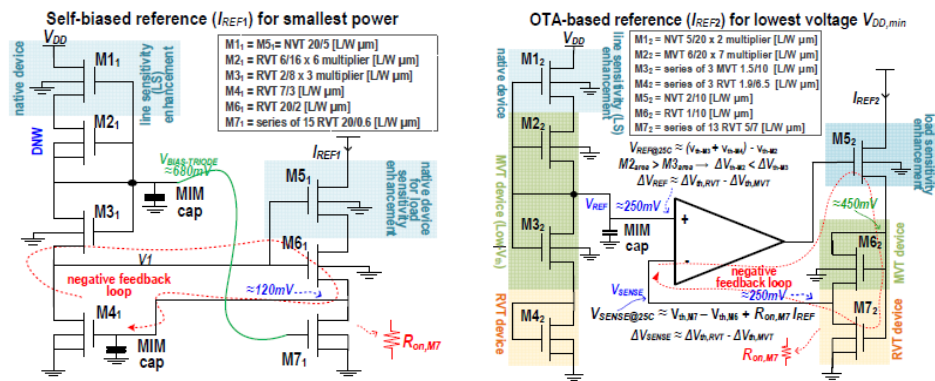
이 논문은 Sun Yat-sen University와 University of Macau에서 발표한 논문으로 N-path Filter 에 관련된 논문이다. 기존 N-path Filter는 passband BW와 out-of-band사이의 trade off가 존재하였고 이를 제거하기 위해 여러 논문이 등장하였지만 Gain에 손실이 있거나 BW가 제한되는 단점이 있었다. 본 논문에서는 이러한 단점을 개선하기 위해 BW-Extended Gain-Boosted N-path Filter를 제안하고 있다. 그림 1에서 볼 수 있듯 이 구조는 Switched gm-C Network를 이용하여 high-Q bandpass response 뿐만 아니라 높은 선형성 및 넓은 passband BW를 가질 수 있으며 밀러 효과에 의해 작은 면적과 전력을 소모를 달성할 수 있었다.



[그림 1] 제안하는 구조의 Conceptual diagram

2-2.

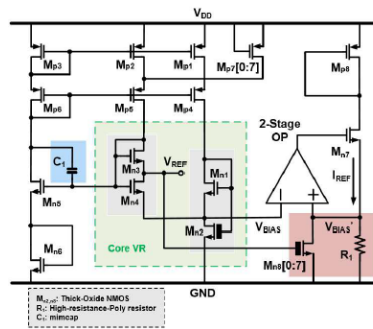
이 논문은 National University of Singapore에서 발표한 논문으로 Current Reference에 관련된 논문이다. Current reference는 면적을 최소화하기 위해 trimming을 제거하는 것이 필수적이다. 또한 전력 손실을 줄이기 위해 공급 전압을 낮추어야 하는데 이 경우 PVT 변화에 취약하다는 단점이 있다. 이를 해결하기 위해 여러 논문이 등장하였지만 넓은 면적을 필요로 하거나 추가적인 소자가 필요하는 등 여전히 단점이 남아 있었다. 본 논문에서는 이러한 단점을 개선하기 위해 A Resistor/Trimming-Less Self-Biased Current Reference를 제안하고 있다. 이 구조는 그림 2에서 볼 수 있듯 PVT 변화에도 안정적인 모습을 보여줄 뿐만 아니라 $3500\mu\text{m}^2$ 라는 작은 면적에서 저항과 trimming 없이 높은 정확성을 보여주고 있다.



[그림 2] 제안하는 구조들의 Schematic

2-3.

이 논문은 National Yang Ming Chiao Tung University에서 발표한 논문으로 Voltage & Current Reference (VCR)에 관련된 논문이다. VCR은 크기가 작으면서 낮은 전력을 소모해야 하고 공급전압이나 온도 변화에 영향을 받지 않고 안정적인 동작을 해야한다. 기존 VCR은 면적이 크거나 공급 전압이 높을 때만 동작하는 단점이 있다. 본 논문에서는 새로운 구조의 VCR을 제안하고 있다. 이 구조는 그림 3에서 볼 수 있듯 two-stage stacked-diode metal oxide semiconductor transistor (SDMT)를 사용하여 voltage reference를 만들고 이를 이용하여 current reference를 만든다. 170C의 높은 온도 범위에서 낮은 전력을 소모하면서 안정적인 reference를 만들어내고 있다.



[그림 3] 제안하는 구조의 Schematic

저자정보



명예기자 여성일

- 소 속 : 경북대학교 전자전기공학부 석사과정
- 연구분야 : DC-DC Converter
- 이 메 일 : sungil1020@knu.ac.kr
- 홈페이지 : <https://sites.google.com/view/icslab>

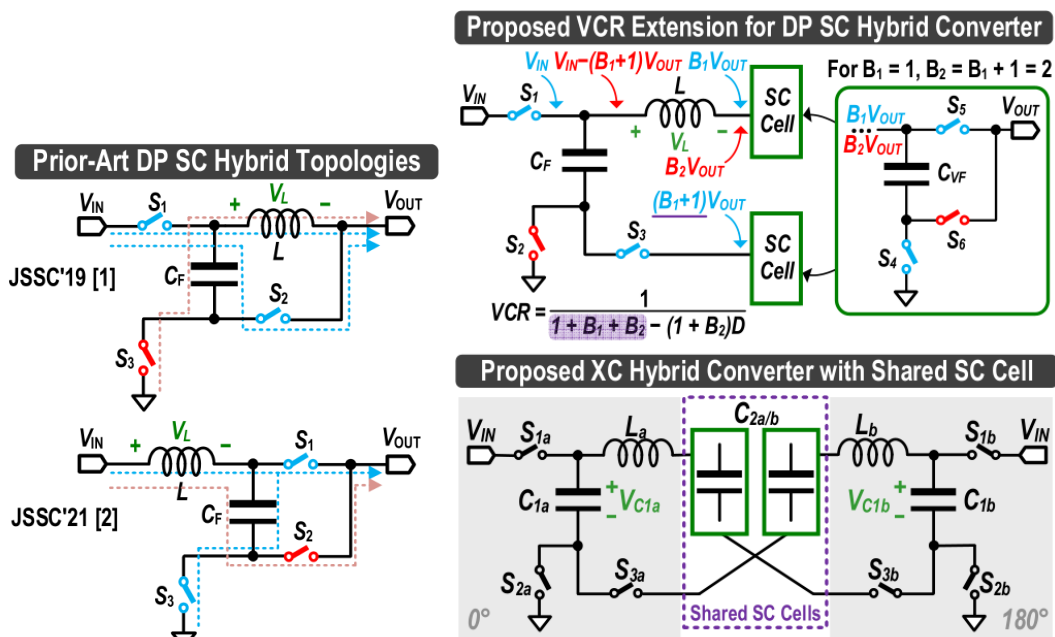
2023 IEEE ASSCC Review

고려대학교 반도체시스템공학과 박사과정 김현진

Session 8 Voltage Regulator

이번 ASSCC 2023의 Session 8는 Voltage Regulator라는 주제로 총 4편의 논문이 발표되었다. 본 세션에서는 인덕터 및 커패시터를 혼용하여 Li-ion 배터리 전압을 낮은 DC 전압으로 강하시키는 고효율 하이브리드 DC-DC 변환기에 관한 논문이 1편 발표되었고, 인덕터 기반의 저전력 DC-DC 변환기 또한 발표되었다. 특히, 올해 ASSCC 2023에서는 선단 공정에서 사용될 수 있는 디지털 LDO의 이슈들을 해결하는 논문들이 2편 발표된 것이 특징이다. 본 학회에 발표된 논문들을 통해서, 최근 고성능, 고집적 반도체 구성에 필요한 다양한 power management IC (PMIC) 회로들의 필요성이 대두됨을 확인할 수 있었다.

#2.1 본 논문에서는 Li-ion 배터리의 전압을 변환시켜주는 cross-coupled hybrid SC 변환기를 소개한다. 기존의 하이브리드 DC-DC 변환기들은 인덕터와 커패시터를 혼용하여 기존의 인덕터 기반 DC-DC 변환기 대비 높은 효율과 높은 전력 밀도를 달성하였지만, 실용적인 인덕터 전류 감소 성능을 유지하면서 넓은 전압 변환 비율을 달성하지는 못하였다.



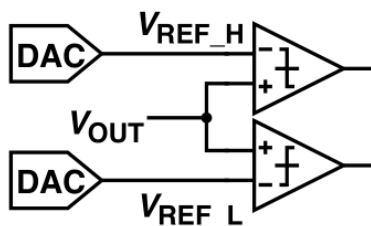
[그림 1] (좌) 기존의 SC 하이브리드 변환기 구조 (우) #2.1에 소개된 XC 하이브리드 변환기 구조

따라서, 본 논문은 SC cell 들을 공유하는 XC 하이브리드 DC-DC 변환기 구조를 제안하였다. 또한, two-quadrant level shifter를 통해 광범위한 전압 변환 영역의 positive-negative floating domain에서도 XC 하이브리드 변환기의 power switch들을 구동시키는 기술을 소개한다. 결과적으로 본 논문에서 소개된 변환기는 넓은 전압 변환 영역에서 평균적으로 90%의 높은 효율을 달성하였으며, 최대 효율 대비 1.5%의 전력 효율 손실로도 1.5 V 출력 전압을 구동시킬 수 있었다.

#2.2 본 논문에서는 저전력 LDO에 필요한 droop detector의 안정적인 오프셋 전압을 만드는 방법으로 512개의 비교기를 통합하여 설계하는 방식을 제안하였다.

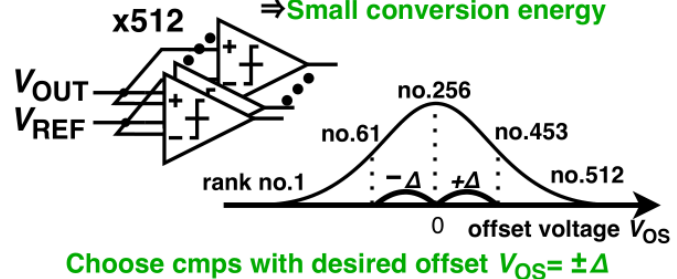
Conventional droop detector

- Needs **multiple reference generation**
- Suppress offset voltage
⇒ **Large kick-back noise**
⇒ **Large conversion energy**



Proposed droop detector

- **No multiple reference generation**
- Utilize offset voltage
⇒ **Small kick-back noise**
⇒ **Small conversion energy**



[그림 2] (좌) 기존의 droop detector 구조 (우) #2.2에 소개된 droop detector 구조

먼저, 공정에서 제공되는 트랜지스터들의 확률적인 분포를 사용하여 512개의 비교기들을 설계한 뒤, 공정 이후에는 비교기 중에 원하는 수준의 offset을 가진 비교기들을 선택하여 droop detector로 사용하였다. Threshold voltage의 차이는 supply voltage와 temperature variation들에도 비교적 일정하게 유지되므로, 비교기들을 이용한 droop detector는 작은 hardware cost로도 안정적으로 overshoot와 undershoot를 감지할 수 있다. 결과적으로 제안된 LDO는 65nm 공정을 이용하여 설계되었으며, 하나의 reference voltage를 사용해서 99.99%의 전류 효율성 및 0.25ps의 낮은 FoM을 달성하였다. 하지만 기존의 하나의 reference 전압을 사용하여 두 개의 비교기의 input transistor width를 calibration 하는 방법과 본 논문의 droop detector에 필요한 512개의 비교기 및 적절한 비교기를 고르는 과정에 필요한 회로의 크기 및 필요 전력의 비교 과정이 필요함을 알 수 있었다.

#2.3 본 논문에서는 저전력 어플리케이션의 standby 모드에서도 동작 가능하여, 기존의 비효율적이지만 standby 모드에서 내부 전압 공급을 위해 동작하는 LDO의 필요성을 제

거하는 DC-DC 변환기를 제안하였다. 제안된 DC-DC 변환기는 22 nm CMOS 공정으로 제작되었으며, off-time 이후 출력 전압을 sampling 하여 실시간으로 전력 전달 모드의 on-time을 조절한다. 따라서, 저전력 모드에서는 상대적으로 적은 양의 전하를 전달하여 전력 전달 효율을 증가시키고, 높은 출력 상황에서는 많은 양의 전하를 출력으로 전달하여 변환기의 최대 출력 전력을 증가시킨다. 결과적으로, 본 논문에서 소개된 DC-DC 변환기는 저전력 모드에서 이상적인 LDO 효율인 28% 대비 65%라는 높은 효율을 달성하였으며, 하나의 제어 모드 만을 사용하므로 standby 모드에서 active 모드로의 전환 시간을 매우 감소시켰다. 하지만, 이러한 on-time feedback 방식은 on-time의 변화 속도를 제한하므로, standby 모드에서 active 모드로의 출력 전력이 급격하게 변화되는 경우 기존 기술 대비 추가적인 출력 전압 하강을 발생시킨다. 또한, active 모드의 worst-case 출력 전력을 고려한다면 동적 비교기가 항상 높은 주파수로 동작해야 하지만, 2.5 μ A의 다른 논문 대비 적은 양의 대기전류는 공정으로 인한 성능 향상이 아닌지에 관한 추가적인 설명이 요구됨을 알 수 있다.

#2.4 본 논문에서는 최적의 보상 주기 근사 기법을 도입하여 디지털 LDO의 ripple을 제거하였다. 아날로그 LDO와 비교하였을 때, 디지털 LDO는 출력 전압 ripple이 크다. 이러한 디지털 LDO의 ripple 제거 성능은 ripple의 주기가 LDO의 clock 주기의 정수배가 아닐 때 더욱 감소된다. 따라서, 본 논문은 ripple의 주기가 clock 주기의 정수배가 아닐 경우에도, 최적의 정수 근사 방법을 사용하여 period residual을 항상 0.1 이하로 감소시킬 수 있었다. 따라서, 제안된 기술로 ripple 억제 성능이 10dB 이상 향상했으며, transient response 중의 undershoot 및 overshoot 전압 또한 감소하였다. 하지만 transient response의 settling time 성능은 기존의 기술과 일치하면서 최적의 보상 주기 근사 기법으로 undershoot 및 overshoot만을 감소시킨 방법에 관한 추가적인 설명이 필요하다. 또한, 기존의 전형적인 PMOS 기반 디지털 LDO들은 50 mV dropout 전압을 가지며 0.5 V 까지 동작하는 것에 비해서 본 논문은 NMOS 기반으로 설계되어 200 mV dropout 전압을 가지며 0.8 V의 최소 동작 전압을 가진다. 따라서, analog amplifier를 사용한 보상 주기 근사 방식이 동작 전압 및 디지털 LDO 전체 구조를 제한하는지에 관한 추가적인 설명이 필요함을 알 수 있다.

저자정보



명예기자 김현진

- 소 속 : 고려대학교 반도체시스템공학과 박사과정
 - 연구분야 : PMIC & Ising Machine
 - 이 메 일 : jamespul@korea.ac.kr
 - 홈페이지 : <https://kilby.korea.ac.kr>
-

A-SSCC 2023 Review

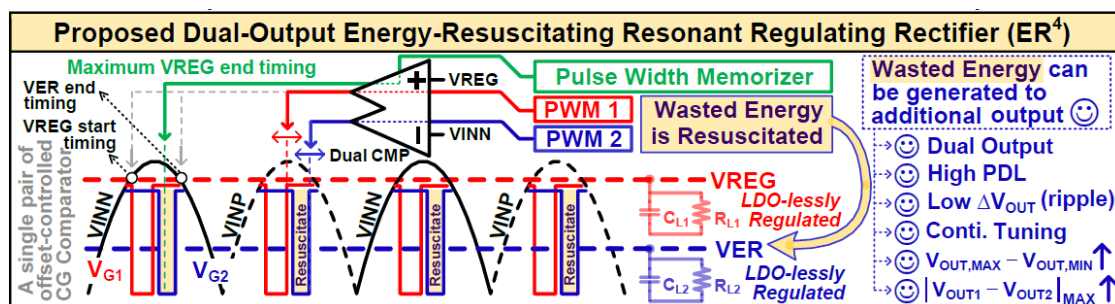
경북대학교 전자전기공학부 석사과정 여성일

Session 17. Power Management Techniques

이번 A-SSCC 2023의 Session 17는 Power Management Techniques 라는 주제로 총 4편의 논문이 발표되었다. Wireless Power System에 관련된 논문이 2편, Solar Energy Harvester와 Envelop Tracking Supply Modulator에 관련된 논문이 각각 한편씩 소개되었다.

17-1

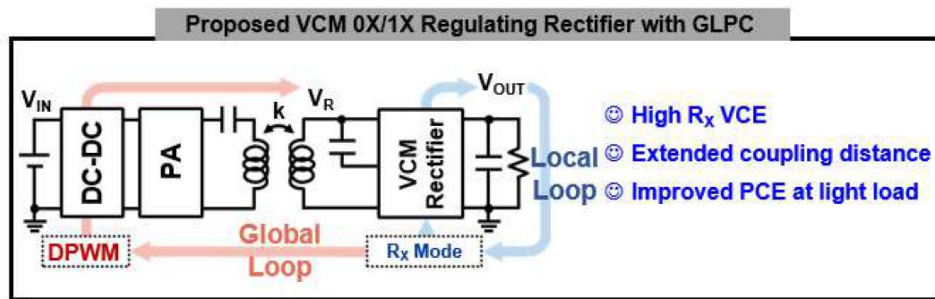
이 논문은 고려대학교에서 발표한 논문으로 Wireless power system에 사용되는 Resonant Regulating Rectifier에 관련된 논문이다. 기존 Resonant Regulating Rectifier (R^3)는 Output ripple이 크거나 ESR을 통해 전력을 분산되고 열이 발생하게 된다는 단점이 있었다. 이를 해결하기 위해 PWM이나 PWDM을 사용하는 논문이 등장하였지만 여전히 에너지 손실을 막을 수 없었다. 본 논문에서는 이러한 단점을 개선하기 위해 Energy-Resuscitating Resonant Regulating Rectifier (ER^4)를 제안하고 있다. 그림 5에서 볼 수 있듯 이 구조는 버려지는 에너지를 추가적인 출력을 만드는데 사용하여 높은 전력 효율과 낮은 출력 리플, 넓은 출력 전압 범위를 가질 수 있게 되었다.



[그림 5] 제안하는 구조의 Conceptual diagram

17-2

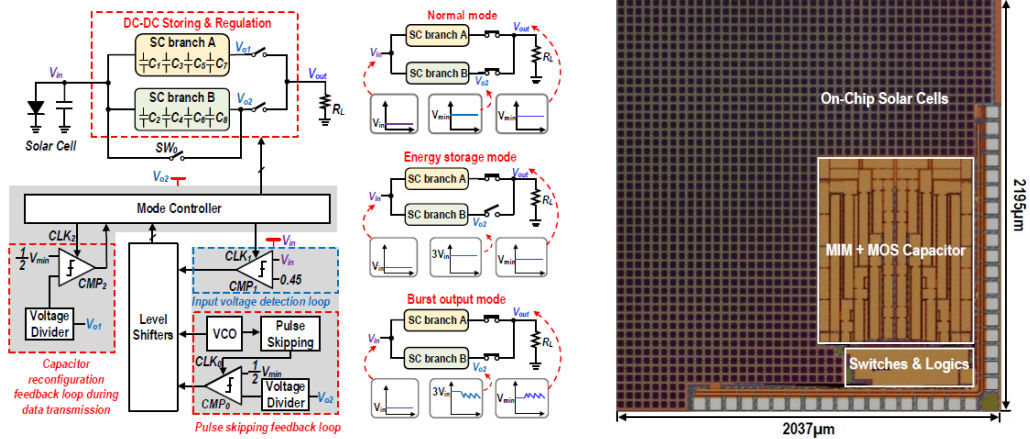
이 논문은 National Yang Ming Chiao Tung University에서 발표한 논문으로 RFID, IMD 등에 사용되는 Wireless Power Transfer system (WPT)에 관련된 논문이다. WPT는 coupling 거리와 Power Conversion Efficiency (PCE), Voltage Conversion Efficiency (VCE)가 중요하다. 기존 Global-loop power control (GLPC)를 사용한 논문은 PCE는 향상시킬 수 있었으나 VCE가 제한되어 거리와 입력 전압의 범위가 제한되게 된다. 본 논문에서는 이러한 단점을 개선하기 위해 WPT with Voltage-/Current-Mode 0X/1X Regulating Rectifier and GLPC를 제안하고 있다. 그림 6에서 볼 수 있듯 이 구조는 GLPC와 0x/1x 모드를 도입하여 PCE를 향상시켰고 digital pulse-width modulation (DPWM)를 통해 TX의 출력 전력을 조절하여 전체 시스템의 PCE 또한 향상시킬 수 있었다.



[그림 6] 제안하는 구조의 Conceptual diagram

17-3

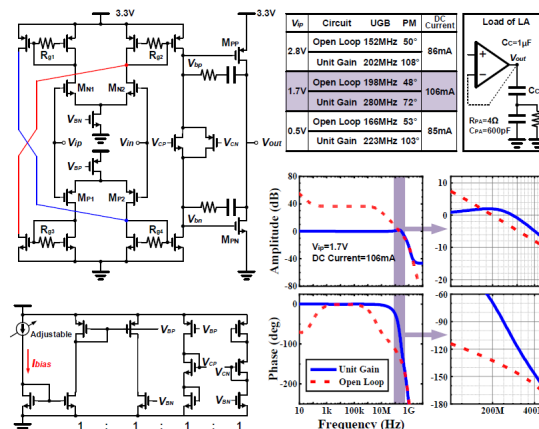
이 논문은 University of Macau에서 발표한 논문으로 Solar Energy Harvester에 관련된 논문이다. Energy Harvester (EH)의 시스템 전력은 $\text{sub-}\mu\text{A} \sim 10\mu\text{A}$ 정도 소비하지만 Peak 전류 소비는 $100\mu\text{A}$ 이상까지 증가할 수 있다. 이를 감당하기 위해 기존의 구조들은 큰 Off chip capacitor를 사용하였다. Capacitor의 큰 면적과 추가적인 비용을 감내하였지만 에너지 활용도가 낮아 효율을 증가시키는데 문제가 있었다. 본 논문은 이러한 단점을 해결하기 위해 Fully Integrated Reconfigurable Solar Energy Harvester를 제안하고 있다. 그림 7에서 볼 수 있듯 이 구조는 Solar cell과 capacitor 모두 chip에 집적하였고 추가적인 외부 소자 없이도 높은 효율과 energy extraction efficiency (EEE)를 보여주고 있다.



[그림 7] 제안하는 구조의 동작 원리와 Chip micrograph

17-4

이 논문은 Fudan University 에서 발표한 논문으로 Envelope Tracking Supply Modulator(ETSM)에 관련된 논문이다. 기존 ETSM은 높은 효율의 switching power modulator (SPM)과 넓은 bandwidth(BW)를 가지는 linear amplifier (LA)로 이루어져 있다. ET의 BW는 LA에 의해 결정이 된다. 더 넓은 BW를 위해 Digital ETSM이 등장하였지만 많은 Power switch와 capacitor를 사용한다는 단점이 있다. 본 논문은 이러한 단점을 해결하기 위해 AC-Coupled Envelope Tracking Supply Modulator를 제안하고 있다. 그림 8에서 볼 수 있듯 이 구조는 rail-trail input을 받는 LA를 사용하여 효율을 향상시켰고 고정된 주파수에 동작하여 무선 통신 시스템에 적합하다.



[그림 8] 제안하는 구조의 Schematic과 frequency response

저자정보



명예기자 여성일

- 소 속 : 경북대학교 전자전기공학부 석사과정
 - 연구분야 : DC-DC Converter
 - 이 메 일 : sungil1020@knu.ac.kr
 - 홈페이지 : <https://sites.google.com/view/icslab>
-

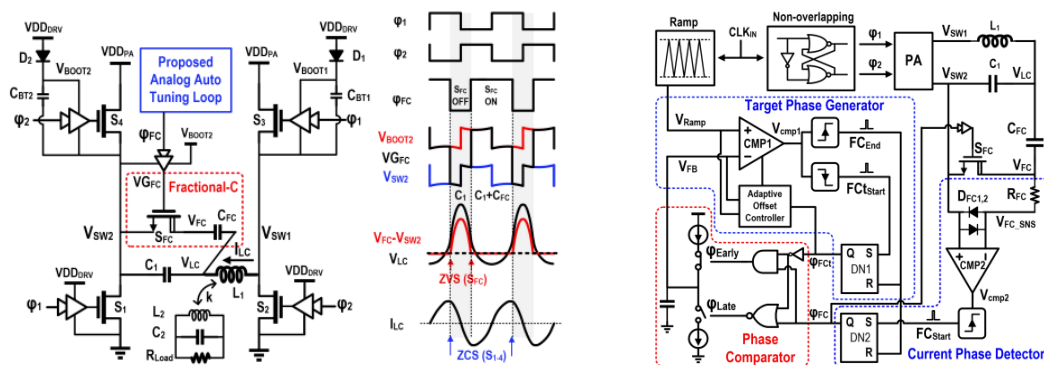
2023 IEEE ASSCC Review

KAIST 전기및전자공학부 박사과정 박수언

Session 20: Wireless Power Transfer

이번 2023 ASSCC의 Session 20에서는 Wireless Power Transfer를 주제로 총 4편의 논문이 발표되었다. TX, RX단 무선 전력 전달 과정에서 에너지 손실을 줄이기 위한 기술들에 대해 소개하였다. 이번 Review를 통해 각 논문들의 쟁점 및 제안하는 기술의 효용성에 대해 알아보고자 한다.

#20-1는 HKUST에서 발표한 논문이다. 본 논문은 Implantable Medical Devices(IMD)의 무선 전력 전달 효율을 증가시키기 위한 Primary Side Link의 high-Q calibration 기술을 제안한다. Flexible coil의 구부러짐과 IMD의 전자기 차폐 물질 및 거리에 따라 변화하는 inductance 값에 대해 공진 주파수와 스위칭 주파수를 매칭시키기 위한 Time-averaged fractional capacitance 기법을 사용하였다. 이전 논문 대비 적은 component 수인 1개의 Capacitance와 1개의 NLDMOS로 구현하였다. Fractional capacitance를 손실 없이 조절하기 위한 NLDMOS 스위치 S_{FC} 의 On/Off Timing Calibration을 제안하였다. Timing calibration은 Phase 비교를 통해 이루어지며, Lock 시킬 Target Phase와 스위치 S_{FC} 의 Zero Crossing Phase를 비교, 차지 펌프를 통해 아날로그적으로 phase를 맞춘다. 제안하는 기법을 사용한 결과, 85.7% 변화를 가진 $0.5 \sim 1.2 \mu\text{H}$ 의 L_1 에 대해 link gain을 유지시켰고, Calibration 없는 비교군 대비 최대 4배의 Link Gain이 증가 및 4-6 cycle 이내에 정상 상태에 도달하는 결과를 얻었다.



[그림 1] f_{LC} Tuning을 위한 Fractional-C 조절 스위치 S_{FC} 의 On/Off Timing Calibration 기법

Figure 1(a) shows four stages of the proposed B-ABB circuit. Each stage has a schematic diagram and a corresponding waveform plot. The waveforms show the voltages V_{DD1} , V_{DD2} , V_{DD3} , and V_{DD4} over time. The circuit is designed to reduce the average leakage current by turning off the access transistors M_{P2} and M_{N2} during the standby state.

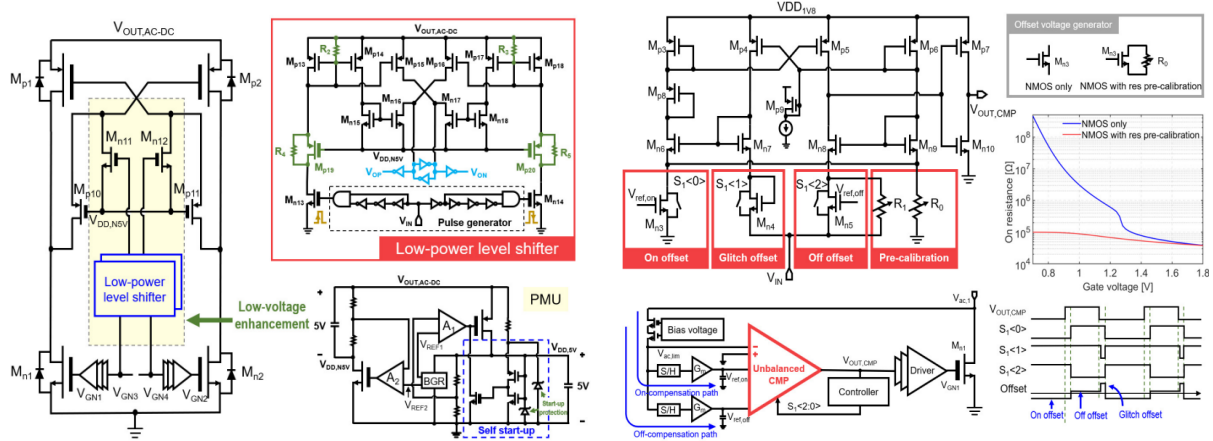
Figure 1(b) compares the area and leakage current of the proposed B-ABB circuit with the general ABB circuit. The area of the proposed B-ABB circuit is 16μm x 62μm, which is smaller than the general ABB circuit. The leakage current is reduced from 2.2mA to 90μA.

Without Delay Compensation

With Proposed Delay Compensation

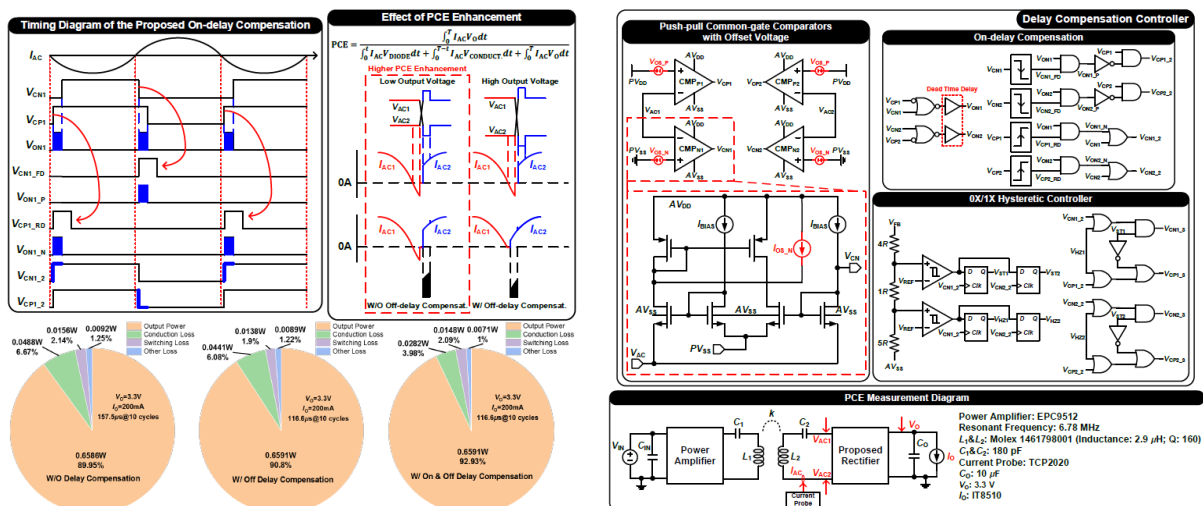
Unnoticeable

#20-3는 칭화대학교에서 발표한 논문이다. 일반적으로 Wide-Power Range를 받을 수 있는 RX Rectifier는 높은 내압의 파워 스위치를 사용하게 되는데, 낮은 입력 전압에서는 큰 효율 감소를 가져온다. 이를 해결하기 위해 낮은 입력 전압에서도 높은 효율을 가질 수 있도록 Transistor M_{n11} , M_{n12} 를 PMOS gate drive node에 추가하였다. Rectifier PMOS 스위치는 NMOS와 동기화된 상태로 On/Off하며, 입력 AC Current와 스위치의 상보적 On/Off Timing이 맞지 않을 시 body diode에 의해 효율이 크게 감소한다. 이를 해결하기 위해 NMOS의 On/Off Timing을 조절하는 Adaptive On/Off delay Gm-C based comparator를 제안하였다. 또한, M_{n1} 스위치가 먼저 켜지고 V_{ac1} 전압이 0보다 내려가는 multiple pulsing 문제를 해결하기 위해 glitch offset을 추가하였다. 제안하는 Rectifier는 2V $V_{ac,pp}$ 의 낮은 입력 전압, 500 Ω 로드 조건에서 18.14%의 효율 증가를 달성하였고, 14V $V_{ac,pp}$, 1k Ω 로드 조건에서 98.29% 피크 효율을 달성하였다.



[그림 3] 제안하는 Low Voltage Enhance SW M_{n11} , M_{n12} 와 Adaptive On/Off Delay Comparator

#20-4는 Sun Yat-Sen 대학교에서 발표한 논문이다. 파워 스위치를 구동할 때 shoot-through를 해결하기 위해 deadtime이라고 불리는 시간 동안 파워 스위치의 On-delay를 주게 되는데, Body diode를 통해 전류가 흐르면서 큰 효율 감소를 야기한다. 본 논문은 body diode를 conduction하는 deadtime을 줄이기 위한 on-delay compensation을 제안한다. On-delay compensation과 함께 출력 손실을 줄이기 위해 파워 스위치의 off timing을 조절하는 push-pull gate comparator를 제안하였다. Offset을 조절하는 방식으로 디자인하였다. On-delay compensation 적용 후 34mm의 거리와 0.6A의 부하 전류에서 4.41%의 효율 증가를 달성하였고, 14mm의 거리와 0.2A의 부하 전류에서 피크 효율 92.28%를 달성하였다.



[그림 4] 제안하는 On-delay compensation 기법과 Off-delay 조절 push-pull CG comparator

저자정보



명예기자 박수언

- 소속 : KAIST 전기 및 전자공학부 박사과정
- 연구분야 : Power Management IC 설계
- 이메일 : tndjs12221@kaist.ac.kr
- 홈페이지 : <https://www.icdesignlab.net>